

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-100642

(43)Date of publication of application : 05.04.2002

(51)Int.Cl.

H01L 21/338  
H01L 29/778  
H01L 29/812

(21)Application number : 2001-217046

(71)Applicant : FUJITSU QUANTUM DEVICES LTD

(22)Date of filing : 17.07.2001

(72)Inventor : NAGAHARA MASAKI

(30)Priority

Priority number : 2000216387 Priority date : 17.07.2000 Priority country : JP

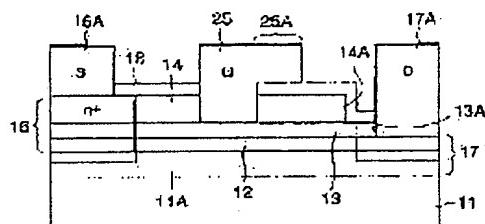
## (54) COMPOUND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a high-speed compound semiconductor device which has an increased gate breakdown voltage and realizes high power operations.

SOLUTION: By using a Γ-shaped electrode having an extension part extending in a drain direction as a gate electrode, each thickness of a passivation film and a cap layer is set up so that an equipotential plane under the gate electrode near the edge of the drain is deformed corresponding to the extension part.

本発明の特徴を説明する図(もの)



(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2002-100642  
(P2002-100642A)

(43)公開日 平成14年4月5日(2002.4.5)

(51)Int.Cl.<sup>7</sup>  
H 01 L 21/338  
29/778  
29/812

識別記号

F I  
H 01 L 29/80テ-マコ-ト(参考)  
B 5 F 1 O 2  
H

審査請求 未請求 請求項の数10 O L (全 12 頁)

(21)出願番号 特願2001-217046(P2001-217046)  
 (22)出願日 平成13年7月17日(2001.7.17)  
 (31)優先権主張番号 特願2000-216387(P2000-216387)  
 (32)優先日 平成12年7月17日(2000.7.17)  
 (33)優先権主張国 日本 (JP)

(71)出願人 000154325  
富士通カンタムデバイス株式会社  
山梨県中巨摩郡昭和町大字紙漉阿原1000番地  
 (72)発明者 長原 正樹  
山梨県中巨摩郡昭和町大字紙漉阿原1000番地 富士通カンタムデバイス株式会社内  
 (74)代理人 100070150  
弁理士 伊東 忠彦  
Fターム(参考) 5F102 FA01 GB01 CC01 CD01 CJ05  
CK06 GL05 GM06 GW08 CN05  
GQ02 GQ03 GS01 GS04 GS06  
GT03 GT05 GV08 HC01 HC07  
HC16 HC21 HC30

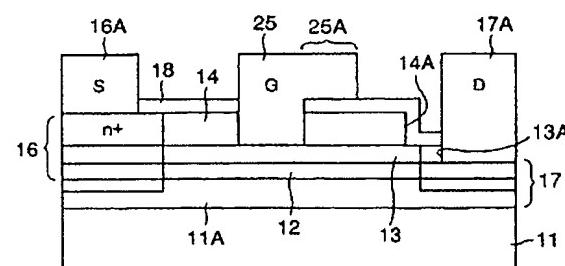
## (54)【発明の名称】 化合物半導体装置

## (57)【要約】

【課題】 高速化化合物半導体装置において、ゲート耐圧を増大させ、大電力動作を可能にする。

【解決手段】 ゲート電極としてドレイン方向に延在する延在部を有するガンマ型電極を使い、前記電極延在部直下のバッシャーベーション膜およびキャップ層の厚さを、前記ゲート電極のドレイン端近傍の等ボテンシャル面が、前記延在部に対応して変形するように設定する。

本発明の原理を説明する図(その1)



## 【特許請求の範囲】

【請求項1】 基板と、  
前記基板上に形成された電子走行層と、  
前記電子走行層上に形成されたキャップ層と、  
前記キャップ層上に形成された絶縁膜と、  
前記絶縁膜および前記キャップ層を貫通するゲートリセス開口部と、  
前記ゲートリセス開口部中に形成されたゲート電極と、  
前記ゲート電極の第1の側において、前記キャップ層表面から前記チャネル層まで延在するn型のソース領域と、  
前記ゲート電極の第2の側において、前記キャップ層表面から前記チャネル層まで延在するn型のドレイン領域と、  
前記ソース領域に電気的にコンタクトするソース電極と、  
前記ドレイン領域に電気的にコンタクトするドレイン電極とを備え、  
前記ゲート電極は、前記絶縁膜上を前記ゲートリセス開口部から前記第2の側の方向に延在する延在部を有するL型形状を有し、  
前記絶縁膜と前記キャップ層の合計の厚さは、前記ゲート電極の延在部直下における電界が、前記キャップ層中において前記基板正面に対して垂直な方向に作用する実質的な大きさの成分を有するように設定されることを特徴とする化合物半導体装置。

【請求項2】 前記ゲート電極の延在部直下における電界は、前記延在部のドレイン領域側端部における電界よりも、前記キャップ層中において小さな電界強度を有することを特徴とする請求項1記載の化合物半導体装置。

【請求項3】 前記絶縁膜は7.0nm以下の厚さを有することを特徴とする請求項1または2記載の化合物半導体装置。

【請求項4】 前記キャップ層は7.0～13.0nmの範囲の厚さを有することを特徴とする請求項1～3のうち、いずれか一項記載の化合物半導体装置。

【請求項5】 前記絶縁膜はSiN膜よりなることを特徴とする請求項1～4のうち、いずれか一項記載の化合物半導体装置。

【請求項6】 前記ドレイン電極は、前記ドレイン領域において前記キャップ層とオーム接觸することを特徴とする請求項1～5のうち、いずれか一項記載の化合物半導体装置。

【請求項7】 前記キャップ層は前記ドレイン領域に対応したドレイン開口部を有し、前記ドレイン電極は前記ドレイン開口部において形成されていることを特徴とする請求項1～6のうち、いずれか一項記載の化合物半導体装置。

【請求項8】 前記ソース電極は、前記ソース領域において前記キャップ層にオーム接觸することを特徴と

する請求項7記載の化合物半導体装置。

【請求項9】 前記チャネル層と前記キャップ層との間には非ドープ半導体層よりなるショットキーコンタクト層が介在することを特徴とする請求項1～8のうち、いずれか一項記載の化合物半導体装置。

【請求項10】 前記チャネル層と前記キャップ層との間には、n型半導体層よりなる電子供給層が介在し、前記チャネル層中には二次元電子ガスが形成されていることを特徴とする請求項1～8のうち、いずれか一項記載10の化合物半導体装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は一般に半導体装置に係り、特に高出力高速半導体装置に関する。

【0002】近年の移動体通信の急速な普及に伴い、特に基地局用に高出力で動作可能な高速半導体装置が要求されている。

【0003】従来は、半導体装置の出力を増大させるためにゲート幅を増大させて動作電流を増加させることを行っていた。しかしかかるアプローチでは、出力電流が増大し、その結果半導体装置と組み合わせて使われるインピーダンス整合回路中における電力の損失が大きな問題になる。このため最近では、動作電圧を増大させることにより出力電力を増大させるアプローチが取られている。

## 【0004】

【従来の技術】図1は、従来の高出力高速半導体装置10の構成を示す。

【0005】図1を参照するに、前記半導体装置10は半絶縁性GaAs基板11上に形成されたMOSFETであり、前記GaAs基板11上に形成された非ドープGaAsよりなるバッファ層11Aと、前記バッファ層11A上に形成されたn型GaAsよりなるチャネル層12と、前記チャネル層12上に形成された非ドープAlGaAsよりなるショットキーコンタクト層13、前記ショットキーコンタクト層13上に形成された非ドープGaAsよりなるキャップ層14とを含み、前記ショットキーコンタクト層13上には、前記キャップ層14中に形成されたゲートリセス構造を介してゲート電極15がショットキーコンタクトする。また前記ゲート電極15の両側には前記ゲート電極15から離間して、前記キャップ層14から前記バッファ層11Aにまで到達するn<sup>+</sup>型拡散領域16、17がそれぞれソース領域およびドレイン領域として形成され、前記ソース領域16上にはソース電極16Aが、また前記ドレイン領域17上にはドレイン電極17Aが、いずれも前記キャップ層14にオーム接觸するように形成される。

【0006】また、図1のMOSFET10では前記キャップ層14のうち露出表面がSiNよりなるバッシベーション膜18により覆われている。

## 【0007】

【発明が解決しようとする課題】かかる構成のMESFETにおいては、大電力を取り出そうとした場合、前記ゲート電極15-ドレイン電極17A間に大きな電圧を印加する必要があるが、かかる大きな動作電圧を印加すると前記ゲート電極15直下に形成されるチャネル領域のドレン端近傍において電界強度が過大になり、アバランシェ降伏が生じてしまうことがある。この場合、図2中、経路(1)に沿って大きなゲートリーク電流が流れてしまい、MESFETの所望の大電力動作は不可能になる。また、図1の従来のMESFET10では、前記キャップ層14中を経路(2)に沿って流れれるゲートリーク電流も存在する。ただし、図2中、経路(1)に沿ったゲートリーク電流の値は経路(2)に沿ったゲートリーク電流の値よりも一桁以上大きい。

【0008】このようなゲートリークの問題を回避するため、従来よりゲート電極15とドレイン電極17Aとの間の間隔を増大させ、ピンチオフにおけるゲート電極15直下の電界強度を低減させることが行われている。このアプローチによれば、ゲート-ドレイン間のブレークダウン電圧が増大し、ゲートリーク電流を抑制できることが確認されている。しかし、このような構成では、ゲート-ドレイン間の耐圧は増大するものの、ソース-ドレイン間の抵抗も同時に増大するため、半導体装置から得られる出力電流が減少してしまう。その結果、得られる出力電力の増大は限られている。また、ゲート-ドレイン間の距離を増大させた場合にはガン発振が生じやすく、このためかかるアプローチには、半導体装置の大電力動作において本質的な限界がある。

【0009】そこで、本発明は上記の課題を解決した、新規で有用な半導体装置を提供することを概括的課題とする。

【0010】本発明のより具体的な課題は、大電力で動作可能な高速化合物半導体装置を提供することにある。

【0011】本発明の他の課題は、大電力で動作可能な高速化合物半導体装置において、ゲートリーク電流を最小化することにある。

## 【0012】

【課題を解決するための手段】本発明は上記の課題を、基板と、前記基板上に形成された電子走行層と、前記電子走行層上に形成されたキャップ層と、前記キャップ層上に形成された絶縁膜と、前記絶縁膜および前記キャップ層を貫通するゲートリセス開口部と、前記ゲートリセス開口部中に形成されたゲート電極と、前記ゲート電極の第1の側において、前記キャップ層表面から前記チャネル層まで延在するN型のソース領域と、前記ゲート電極の第2の側において、前記キャップ層表面から前記チャネル層まで延在するP型のドレイン領域と、前記ソース領域に電気的にコンタクトするソース電極と、前記ドレイン領域に電気的にコンタクトするドレイン電極とを

備え、前記ゲート電極は、前記絶縁膜上を前記ゲートリセス開口部から前記第2の側の方向に延在する延在部を有するP型形状を有し、前記絶縁膜と前記キャップ層の合計の厚さは、前記ゲート電極の延在部直下における電界が、前記キャップ層中において前記基板正面に対して垂直な方向に作用する実質的な大きさの成分を有するように設定されることを特徴とする化合物半導体装置により、解決する。

【0013】その際、前記合計の厚さを、前記ゲート電極の延在部直下における電界が、前記延在部のドレイン領域側端部における電界よりも、前記キャップ層中において小さな電界強度を有するように設定するのが好ましく、前記絶縁膜は70nm以下の厚さを有するのが、また前記キャップ層は70~130nmの範囲の厚さを有するのが好ましい。本発明による半導体装置は、MESFETやHEMT等の電界効果型半導体装置を含む。

【作用】以下、本発明の原理を図3の構造を参照しながら説明する。ただし図3中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0014】図3を参照するに、本発明では前記ゲート電極15の代わりに前記キャップ層14上をドレイン領域17の方向に延在する延在部25Aを有するP型のゲート電極25を使う。また前記キャップ層14上には薄いバッシャーション膜18が形成され、前記ゲート電極25の延在部25Aは、実際には前記バッシャーション膜18上を前記ドレイン領域17の方向に延在する。

【0015】また図3の構造では、前記キャップ層14中に前記ドレイン領域17に対応して前記ショットキーコンタクト層13を露出するドレイン開口部14Aが形成され、前記ショットキーコンタクト層13中には前記ドレイン開口部14A中において前記電子走行層12を露出する開口部13Aが形成される。前記ドレイン電極17Aは前記開口部13Aにおいて前記電子走行層12にオーミック接觸する。その際、前記バッシャーション膜18は前記キャップ層14の表面から前記ドレイン開口部14Aの側壁面を延在し、さらに前記開口部14A中に露出した前記ショットキーコンタクト層13の表面を覆う。

【0016】図4(A)、(B)は、それぞれ図1のMESFETと図3のMESFET中に形成される空乏層の状態を示す。

【0017】前記MESFET中には前記ゲート電極15からの空乏層の広がりに対応して空間電荷が現れるが、かかる空間電荷はゲート電極15の表面近傍に蓄積した電子との間に電界を形成する。図4(A)中、矢印はかかる電界に伴う電気力線をあらわす。

【0018】図4(A)を参照するに、前記ゲート電極15のドレイン端近傍においては電気力線は主としてゲート長方向に向いているのがわかるが、これは前記ドレイン端近傍の電界中ではゲート長方向の電界成分が支配

的であることを示している。かかる電界は特に前記ゲート電極15のドレイン端近傍に集中し、MESFETの大電力動作の際に図2で説明したアバランシェ降伏を発生させる。

【0019】これに対し、図3の構成に示すようにT型のゲート電極25を使った場合には、図4(B)に示すように前記ゲート電極延在部25Aの直下の領域においても空乏層が拡大し、電子の蓄積が生じる。その結果、図4(B)の状態においては矢印で示した電気力線の分布よりわかるように基板正面に垂直な電界成分が増大し、ゲート電極25のドレイン端近傍における電界の集中が回避される。

【0020】ところで、このようなT型ゲート電極の使用によるゲート電極ドレイン端近傍における電界集中軽減の効果は、前記ゲート電極延在部25A直下における前記キャップ層14と前記パッシベーション膜18の厚さに依存する。

【0021】図5および図6は、図3のMESFETにおいて前記パッシベーション膜18の厚さをそれぞれ50nmおよび400nmに設定した場合に現れる電位分布を示す。ただし図5および6の状態では前記キャップ層14の厚さは130nmに設定しており、前記ゲート電極25とドレイン電極17Aとの間に30Vの電圧V<sub>g-d</sub>を印加している。

【0022】図5を参照するに、前記パッシベーション膜18の厚さが薄い場合には、前記T型ゲート電極25の延在部25Aの影響によりボテンシャル分布が変形し、ゲート電極25のドレイン端近傍における電位勾配が緩和されているのがわかる。図3のMESFETでは、かかるゲート電極ドレイン端近傍における電位勾配の緩和により、図2で説明したアバランシェ降伏の問題が解消する。

【0023】図5においては等電位面が前記ゲート電極延在部25Aの影響によりドレイン領域17の側にシフトした見ることもできる。かかるボテンシャル分布の変形に伴い、前記キャップ層14中においてはゲート長方向に作用する電界成分のみならず、前記基板11に垂直方向に作用する電界成分が、実質的な大きさで現れる。なお、図5の構成では前記ドレイン延在部25Aのドレイン端近傍に電界の集中が生じているが、これは絶縁膜14の上であり、従ってかかる電界集中によりチャネル層にアバランシェ降伏が生じることはない。

【0024】これに対し、図6の状態では、前記パッシベーション膜18の厚さが大きいため前記ゲート電極延在部25Aの影響が減少し、前記ゲート電極25のドレイン端近傍には密な等電位面の分布が出現するのがわかる。図6中、前記ゲート電極延在部25Aは図示領域の外部にある。また、図6の状態では前記キャップ層14中に生じる電界成分は大部分がゲート長方向に作用するものであり、基板正面に垂直方向に作用する電界成分は

ほとんどゼロであることがわかる。

【0025】このような構成のMESFETでは、前記T型のゲート電極25を有していても、ゲート電極のドレイン端近傍におけるアバランシェ降伏、およびこれに伴うゲートリーアク電流の増大の問題を回避することはできない。

【0026】なお、後ほど図3でも説明するが、前記パッシベーション膜18を省略してしまうと、電界集中がキャップ層14上に生じてしまい、アバランシェ降伏が生じやすくなる。すなわち、この場合には半導体装置の耐圧が低下する。従って、ゲート電極延在部25Aとキャップ層14との間にはパッシベーション膜18を形成しておく必要がある。

【0027】図7は、図3のMESFETにおいて、前記ゲート電極延在部25A直下の領域の、深さ方向への伝導帯エネルギーE<sub>c</sub>の分布プロファイルを、前記パッシベーション膜18の厚さが50nmの場合と400nmの場合について示す。ただし、図7の構成では、前記ショットキー層13とキャップ層14との間に薄い非ドープGaAs層と非ドープAlGaAsエッティングストップ層とを介在させている。図7中、横軸の原点は前記キャップ層14の表面に一致している。

【0028】図7を参照するに、前記伝導帯エネルギーE<sub>c</sub>の分布は前記パッシベーション膜18の厚さが50nmの場合と400nmの場合とで前記キャップ層14の上部を除きおおよそ平行であるが、前記キャップ層14の上部においては前記パッシベーション膜18の厚さが50nmの場合のほうが400nmの場合よりも勾配が急になるのがわかる。これはパッシベーション膜18の厚さを50nmとした場合の方が、前記ゲート電極延在部25Aの下により多くの電子を蓄積できることを意味する。これに伴い、先に図4(B)で説明したアバランシェ降伏の抑制機構は、パッシベーション膜18の厚さを50nmとした場合により顕著に発現する。

【0029】図8(B)は、図3の構成のMESFETについて、電子走行層12中における電界強度の分布を、図8(A)の断面についてシミュレーションにより求めた結果を示す。また図9(B)は、図1の従来のMESFETについて、電子走行層12中における電界強度の分布を、図9(A)の断面について同一条件のシミュレーションにより求めた結果を示す。

【0030】図8(B), 9(B)を比較するに、いずれの構成においてもゲート電極のドレイン端近傍に電界強度のピークが現れているが、図9(B)の例では電界強度のピークが約 $9 \times 10^5 V/cm$ であるのに対し、本発明の例ではこれが約 $7 \times 10^5 V/cm$ まで減少しているのがわかる。また、本発明の構成では、前記ドレイン端のピークに隣接して、前記ゲート電極延在部25Aに起因する低いピークが現れているのがわかる。

【0031】図3の本発明のMESFETは、前記T型

ゲート電極25の使用の他に、前記キャップ層14中に前記ドレイン領域17に対応してドレイン開口部14Aを形成することによっても、ゲートリーク電流を低減する。その際、本発明では前記ドレイン電極17Aを前記ショットキーコンタクト層13中に形成した開口部13Aを介して前記電子走行層12に直接にコンタクトさせるため、露出したショットキーコンタクト層13に起因する表面空乏層の影響が減少し、低抵抗のコンタクトを実現することができる。

【0032】図10(A), (B)は、図3のMESFETの $I_d - V_d$ 特性と $I_g - V_g$ 特性の実測例を、また図11(A), (B)は図1のMESFETの $I_d - V_d$ 特性と $I_g - V_g$ 特性を、それぞれ示す。ただし図10(A), (B)のMESFETと図11(A), (B)のMESFETとは、同一の層構造、同一のゲート長、および同一のゲート幅を有する。また前記キャップ層14の厚さは130nmに、また前記バッシベーション膜の厚さは50nmに設定している。

【0033】図10(A)および図11(A)を比較するに、ドレイン電流特性はいずれの場合もほぼ同じであるのがわかるが、図10(B)および図11(B)を比較すると、図11(B)の従来構成のMESFETではゲート電圧 $V_g$ が30Vまで増加した時点ですでに0.4mA/mmに達する大きなゲート電流 $I_g$ が流れているのに対し、図10(B)の本発明のMESFETでは、ゲート電圧 $V_g$ が30Vではゲート電流 $I_g$ の値は0.05mA/mm以下であることがわかる。すなわち、図10(B)は、本発明のMESFETのゲート耐圧( $V_{gd0}$ )が約30Vであることを示しているが、この値は図10(A)から従来のMESFETの耐圧 $V_{gd0}$ として求まる約24.5Vの値よりも大幅に向上している。

【0034】図12は、図3のMESFETのゲートドレイン間耐圧特性を、図1に示す従来の構成のMESFETと比較して示す。ただし図12中▲が図3のMESFETの特性を、また●が図1のMESFETの特性を示す。さらに図12中、■は図3のMESFETにおいてドレイン開口部14Aおよび開口部13Aを省略し、前記ドレイン電極17Aを直接に前記キャップ層14上に形成した場合を示す。図12において横軸はゲートドレイン間電圧 $V_{gd}$ を、また縦軸はゲートドレイン間電流 $I_{gd}$ を表す。

【0035】図12よりわかるようにT型ゲート電極25を使うことにより、MESFETのゲートドレイン間耐圧特性は大きく向上するが、図3に示したようにキャップ層14に開口部14Aを、またショットキーコンタクト層13に開口部13Aを形成し、ドレイン電極17Aをかかる開口部において電子走行層12に直接にコンタクトするように形成することによっても、MESFETのゲートドレイン間耐圧特性は実質的に向上する

ことがわかる。これは、図3の構成が先に図2で説明した経路(2)に沿ったリーク電流を遮断するのに有効であることを示している。

【0036】ところで、先に図5, 6で説明したように、本発明のMESFETにおいてはバッシベーション膜18の厚さにより、前記T型ゲート電極25によるゲート耐圧特性 $V_{gd0}$ の向上効果が変化する。

【0037】図13は、図3のMESFETにおいて前記キャップ層14の厚さを130nmとし、前記バッシベーション膜18の厚さを0から250nmの範囲で変化させた場合の飽和ドレイン電流 $I_{fmax}$ と耐圧 $V_{gd0}$ との関係を示す。

【0038】図13を参照するに、飽和ドレイン電流 $I_{fmax}$ の値は前記バッシベーション膜18の厚さにはほとんど関係なく、約240mA/mmの値を有するが、ゲート耐圧 $V_{gd0}$ の値は、前記バッシベーション膜18の厚さが250nmよりも小さい範囲において膜厚の減少と共に増大し、70nmにおいて約30V, 35nmにおいては約34Vに達するのがわかる。このことは、前記T型ゲート電極25の効果を引き出すためには、前記バッシベーション膜18の厚さを250nm以下、この好ましくは100nm以下、より好ましくは70nm以下に設定する必要があることを示している。

【0039】一方、前記バッシベーション膜18の厚さを35nm以下に形成しようとすると、特にSiN膜を使った場合均一な膜形成が困難になる。また、先にも説明したが、このようにバッシベーション膜18の厚さが過小である場合、電界集中がキャップ層14上で生じ、アーランシェ降伏が生じやすくなる。図13において、バッシベーション膜18の厚さがゼロの場合に耐圧が著しく劣化しているのがわかる。

【0040】さらに先の図5, 6の結果から、本発明のMESFETの耐圧特性 $V_{gd0}$ は、前記キャップ層14の厚さによっても変化するものと考えられる。すなわち前記キャップ層14の厚さが厚すぎると、前記ゲート電極延在部25A直下に蓄積された電子による等電位面の変形効果が低下すると考えられる。一方、前記キャップ層14の厚さが薄すぎると、前記ゲート電極延在部25Aに起因する空乏層がゲート電極25のドレイン端にまで達してしまい、かかる空乏層に伴う空間電荷による電界が新たに発生してしまうと考えられる。

【0041】そこで本発明の発明者は、図3のMESFETにおいて前記キャップ層14の厚さを様々に変化させ、ゲート耐圧特性 $V_{gd0}$ および飽和ドレイン電流 $I_{fmax}$ を求めた。図14はその結果を示す。

【0042】図14を参照するに、ゲート耐圧特性 $V_{gd0}$ はキャップ層14の厚さが200nm以下の領域において、キャップ層14の厚さの減少と共に増大するが約110nmの厚さにおいて最大となり、前記キャップ層14の厚さがさらに減少すると耐圧 $V_{gd0}$ の値も減

少する。このことから、図3のM E S F E Tにおいて、前記キャップ層14の厚さは前記耐圧V<sub>g d 0</sub>の最大値が含まれる大体70~130nmの範囲に設定すればよいことがわかる。

【0043】なお耐圧を向上させるためにゲート電極をドレイン側に延在させた構造としては従来より、Chang-Lee Chen, et al., IEEE Electron Device Letters 13, 1992, June No. 6やN.-Q. Zhang, et al., Solid State Devices and Materials, 1999, pp. 212-213による提案の例がある。しかし、Chang-Lee Chen et al.の構造では、ゲート電極延在部がG a A s キャップ層に直接に接しているため、かかるゲート電極延在部に起因するゲートリーク電流の問題が避けられない。またゲート電極延在部はソース側にも延在するため、ゲート-ソース容量C<sub>gs</sub>が増大し、高周波特性が劣化してしまう。

【0044】一方、N.-Q. Zang et al.の構造では、キャップ層が設けられておらず、ショットキー層上の厚さが200nmのS i N膜にゲート電極延在部が接触する。かかる構造では、前記ゲート電極延在部に起因する空乏層はゲート電極のドレイン端直下の領域において基板方向に深く侵入し、その結果、かかる領域において生じる正電荷を有する空間電荷が電気力線緩和効果を低減してしまう。このため、これら従来の構造の半導体装置では、ゲート電極にドレイン側に延在する延在部を設けていても、十分な耐圧の向上を実現することはできない。これに対し、本発明ではT型ゲート電極を設け、その下のS i N膜およびキャップ層の膜厚を最適化することにより、効果的な耐圧向上を実現している。

【0045】さらに特開平5-326563号公報には、T型ゲート電極を絶縁膜上に形成した構成が開示されている。しかし、この公知例においてはT型ゲート電極はゲート抵抗およびゲート-ソース間容量C<sub>gs</sub>を低減する目的で形成されており、このため前記T型ゲート電極の延在部の下において前記絶縁膜の厚さは大きく、例えば前記絶縁膜をS i O<sub>2</sub>膜とした場合、200nmの膜厚に設定されている。従って、前記特開平5-326563号公報に記載の構造においてT型ゲート電極を使っても、本発明の目的とする耐圧向上を実現することはできない。前記絶縁膜として緻密で成長速度の小さいS i N膜を使った場合には、一般に前記T型電極の延在部の下の絶縁膜は薄く形成されるため、ゲート容量は増大してしまう。このため、前記特開平5-326563号公報に記載の構造においては、C<sub>gs</sub>を低減する目的のために前記T型ゲート電極構造の下に絶縁膜としてS i N膜を使うのは困難で、別の材料の膜を積層するか、あるいは空隙を設ける等の手段を講じる必要がある。これに対し、本発明では、T型ゲート電極構造の延在部の下に厚さが70nm以下のS i N膜を形成することにより、所望の耐圧の向上を実現している。

【0046】

【発明の実施の形態】【第1実施例】図15は、本発明の第1実施例によるM E S F E T 3 0 の構成を示す。

【0047】図15を参照するに、前記M E S F E T 3 0 は半絶縁性G a A s 基板31上に形成されており、前記G a A s 基板31上には非ドープA 1 G a A s よりなるバッファ層32と、n型G a A s よりなる電子走行層33と、非ドープA 1 G a A s よりなるショットキーコンタクト層34と、非ドープG a A s よりなる厚さ130nmのキャップ層35とが、それぞれM O V P E法により順次エピタキシャルに形成され、前記キャップ層35上には厚さが50nmのS i Nパッシベーション膜36が形成されている。

【0048】図15のM E S F E T 3 0 では、チャネル領域に対応して前記S i Nパッシベーション膜36、その下のG a A s キャップ層35、A 1 G a A s ショットキーコンタクト層34を露出する開口部が形成され、前記開口部中にゲート電極40が形成されている。

【0049】また前記ゲート電極40の一の側には、前記ゲート電極40から離間して、前記キャップ層35から前記バッファ層32に達するn<sup>+</sup>型の拡散領域がソース領域41として形成され、前記ゲート電極40の他の側には、やはり前記ゲート電極40から離間して、前記キャップ層35から前記バッファ層32に達するn<sup>+</sup>型の拡散領域がドレイン領域42として形成されている。

【0050】前記ソース領域41においては前記キャップ層35上にソース電極41Aが形成され、また前記ドレイン領域42上には前記キャップ層35上にドレイン電極42Aが形成される。

【0051】さらにM E S F E T 3 0 においては、前記ゲート電極40から前記S i Nパッシベーション膜36上を前記ドレイン電極42Aの方向にゲート電極延在部40Aが延在し、その結果前記ゲート電極40は前記ゲート電極延在部40Aと共に、T型電極を形成する。

【0052】かかる構成によれば、先に図5で説明したようにゲート電極40のドレイン端近傍における電界が緩和され、アバランシェ降伏によるゲートリーク電流の発生が抑制され、耐圧特性が向上する。その結果、本実施例のM E S F E T 3 0 は安定した大電力動作が可能である。

【0053】本実施例のM E S F E T 3 0 においては、前記キャップ層35の厚さは70~130nmの範囲に設定するのが好ましく、またパッシベーション膜36の厚さは70nm以下に設定するのが好ましい。

【0054】図16(A)~(C)および図17(D), (E)は、図15のM E S F E T 3 0 の製造工程を示す図である。

【0055】図16(A)を参照するに、前記G a A s 基板31上には前記半導体層32~35の積層構造体がM O V P E法により形成され、図示しないマスクによつて、ソースおよびドレインとなる領域に対して、前記キ

キャップ層35からバッファ層32の上部にまで達するn<sup>+</sup>型拡散領域であるソース領域41およびドレイン領域42を選択的に形成する。イオン注入の条件は、前記半導体積層構造中に典型的には150～170keVの加速電圧のもと、 $1 \times 10^{13} \text{ cm}^{-2}$ 程度のドーズ量でSiをイオン注入し、続いて850°Cで20分間の熱処理を行うことにより、イオン注入されたSi原子を活性化することで形成する。

【0056】また、キャップ層35上には、SiN膜36がCVD法あるいはプラズマCVD法により形成されている。

【0057】次に図16(B)に示すように、図示しないマスクパターンによってSiN膜36およびキャップ層35を選択的に除去し、前記ゲート電極40の形成位置に対応した開口部35Aを形成する。

【0058】次に図16(C)に示すように、WSi/Au構造よりなる金属膜401をスパッタ法などによって形成した後、マスク51を形成し、メッキ法によってAuよりなるメッキ層402を形成する。ここで、マスク51はドレイン側に開口がシフトしている。

【0059】次に図17(D)に示すように、マスク51を除去した後、メッキ層402をマスクとして電極層401をパターンニングして、Γ型のゲート電極40を形成する。いうまでもなく、このゲート電極40は、WSi/Au構造の電極上にAuメッキ層が形成された構成を有しており、また、マスク51がシフトした部分で、延在部40Aが設けられている。

【0060】次に図17(E)の工程において、前記ソース領域41およびドレイン領域42上における前記SiN膜36を選択的に除去し、そこに厚さが50nmのAuGe層と300nmのAu層とを積層したAuGe/Au構造のオーミック電極をそれぞれ形成し、450°C、2分間のアロイ化を行うことにより、それぞれソース電極41Aおよびドレイン電極42Aを形成する。

【0061】なお、本実施例において、前記電子走行層33としては、n型GaAsに限定されることなく、他の材料を採用することもできる。また、ショットキーレイ34はi-AlGaAsに限定されることなく、他の材料も採用することができる。

【第2実施例】図18は、本発明の第2実施例によるMESFET60の構成を示す。ただし図18中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0062】図18を参照するに、MESFET60は図15のMESFET30と同様な構成を有するが、前記キャップ層35中に前記ドレイン領域42に対応して、ショットキーコンタクト層34を露出する開口部35Aが形成されている。

【0063】本実施例では前記ドレイン電極42Aが前記開口部35A中において前記ショットキーコンタクト

層34とオーミック接觸する。さらに、前記キャップ層35を覆う前記バッシベーション層36は前記開口部35Aの側壁面および前記ショットキーコンタクト層34の表面を連続的に覆う。かかる構成により、前記キャップ層35とドレイン電極42Aとの間のゲートリーク電流路が遮断される。また本実施例では前記開口部35A中ににおいて露出されるショットキーコンタクト層34の表面がSiNバッシベーション膜36により覆われるため、膜34の表面空乏層の形成が抑制され、かかる表面空乏層によりMESFET60の動作特性が劣化する等の問題は生じない。

【0064】本実施例において、前記開口部35Aは適当なレジストマスクを形成した上で前記キャップ層35を、CCl<sub>2</sub>F<sub>2</sub>/Heエッチングガスを使ったドライエッチング工程により前記ショットキーコンタクト層34が露出するまでエッチングすることにより形成すればよい。

【第3実施例】図19は、本発明の第3実施例によるHEMT80の構成を示す。

【0065】図19を参照するに、前記HEMT80は半絶縁性GaAs基板81上に形成されており、前記GaAs基板81上には非ドープAlGaAsよりなるバッファ層82と、n型AlGaAsよりなる第1の電子供給層83と、非ドープGaAsよりなる電子走行層84と、n型AlGaAsよりなる第2の電子供給層85と、非ドープAlGaAsよりなるショットキーコンタクト層86と、非ドープGaAsよりなるキャップ層87とが、それぞれMOVPE法により順次エピタキシャルに形成され、前記キャップ層87上には厚さが50nmのSiNバッシベーション膜90が形成されている。

【0066】図19のHEMT80では、チャネル領域に対応して前記SiNバッシベーション膜90およびその下のGaAsキャップ層87を貫通して、前記AlGaAsショットキーコンタクト層86を露出する開口部が形成され、前記開口部中に前記AlGaAsショットキーコンタクト層86とコンタクトするゲート電極91が形成されている。

【0067】また前記ゲート電極91の一の側には、前記ゲート電極91から離間して、前記キャップ層87にオーミック接觸するソース電極92が形成され、また前記ゲート電極91の他の側には、前記ゲート電極91から離間して、前記キャップ層87にオーミック接觸するドレイン電極93が形成される。

【0068】さらに前記HEMT80においては、前記ゲート電極91から前記SiNバッシベーション膜90上を前記ドレイン電極93の方向にゲート電極延在部91Aが延在し、その結果前記ゲート電極91は前記ゲート電極延在部91Aと共に、Γ型電極を形成する。

【0069】かかる構成によれば、先に図5で説明したようにゲート電極91のドレイン端近傍における電界が

緩和され、アバランシェ降伏によるゲートリーク電流の発生が抑制され、耐圧特性が向上する。その結果、本実施例のHEMT80は安定した大電力動作が可能である。

【0070】HEMT80は、先に説明したMESFET30の製造方法と同様な工程により製造できる。

【0071】本実施例において、前記電子走行層84は非ドープGaAsに限定されるものではなく、他の材料により形成することも可能である。また、前記電子供給層83, 85としても、n型AlGaAs以外の材料により形成することも可能である。さらに前記ショットキーコンタクト層86としても、非ドープAlGaAs以外の材料を使うことも可能である。

【第4実施例】図20は、本発明の第4実施例によるHEMT100の構成を示す。ただし図20中、先に説明した部分には同一の参照符号を付し、説明を省略する。

【0072】図20を参照するに、HEMT100は図19のHEMT80と同様な構成を有するが、前記キャップ層87中にドレイン領域に対応して、ショットキーコンタクト層86を露出する開口部87Aが形成されており、前記開口部87A中にドレイン電極93が形成されている。また前記キャップ層87を覆う前記バッシベーション膜90は前記開口部87Aの側壁面および前記ショットキーコンタクト層86の表面を連続的に覆う。かかる構成により、前記キャップ層87とドレイン電極93との間のゲートリーク電流路が遮断される。また本実施例では前記開口部87Aにおいて露出されるショットキーコンタクト層86の表面がSiNバッシベーション膜90により覆われるため、膜86の表面空乏層の形成が抑制され、かかる表面空乏層によりHEMT100の動作特性が劣化する等の問題は生じない。

【0073】本実施例において、前記開口部87Aは適当なレジストマスクを形成した上で前記キャップ層87を、CCl<sub>2</sub>F<sub>2</sub>/Heエッチングガスを使ったドライエッチング工程により前記ショットキーコンタクト層86が露出するまでエッチングすることにより形成すればよい。

【0074】以上、本発明を好ましい実施例について説明したが、本発明はかかる特定の実施例に限定されるものではなく、特許請求の範囲に記載した要旨内において、様々な変形・変更が可能である。

#### 【0075】

【発明の効果】本発明によれば、電界効果型高速半導体装置においてT型ゲート電極を形成し、さらに前記T型ゲート電極の形状がゲートのドレイン端近傍のポテンシャル分布を変形できるようにバッシベーション膜およびキャップ層の厚さを最適化することによりゲート耐圧特性が向上する。このため大きなゲートードレイン間電圧を使用することにより、かかる電界効果型高速半導体装置から大電力出力を取り出すことが可能になる。

#### 【図面の簡単な説明】

【図1】従来のMESFETの構成を示す図である。

【図2】図1のMESFETにおいて生じる問題点を説明する図である。

【図3】本発明の原理を説明する図（その1）である。

【図4】(A), (B)は本発明の原理を説明する図（その2）である。

【図5】本発明の原理を説明する図（その3）である。

【図6】本発明の原理を説明する図（その4）である。

【図7】本発明の原理を説明する図（その5）である。

【図8】(A), (B)は本発明の原理を説明する図（その6）である。

【図9】(A), (B)は本発明の原理を説明する図（その7）である。

【図10】(A), (B)は本発明の原理を説明する図（その8）である。

【図11】(A), (B)は本発明の原理を説明する図（その9）である。

【図12】本発明の原理を説明する図（その10）である。

【図13】本発明の原理を説明する図（その11）である。

【図14】本発明の原理を説明する図（その12）である。

【図15】本発明の第1実施例によるMESFETの構成を示す図である。

【図16】(A)～(C)は、図15のMESFETの製造工程を示す図（その1）である。

【図17】(D)～(E)は、図15のMESFETの製造工程を示す図（その2）である。

【図18】本発明の第2実施例によるMESFETの構成を示す図である。

【図19】本発明の第3実施例によるHEMTの構成を示す図である。

【図20】本発明の第4実施例によるMESFETの構成を示す図である。

#### 【符号の説明】

10, 30, 60 MESFET

11, 31, 81 基板

40 11A, 32, 82 バッファ層

12, 33, 84 電子走行層

13, 34, 86 ショットキーコンタクト層

14, 35, 87 キャップ層

14A, 87A ドレイン開口部

15 ゲート電極

16, 41 ソース領域

16A, 41A, 92 ソース電極

17, 42 ドレイン領域

17A, 42A, 93 ドレイン電極

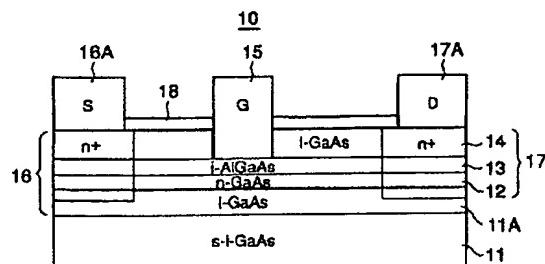
50 18, 39, 90 バッシベーション膜

25, 40, 91 Γ型ゲート電極  
25A, 40A, 91A 電極延在部

80, 100 HEMT  
83, 85 電子供給層

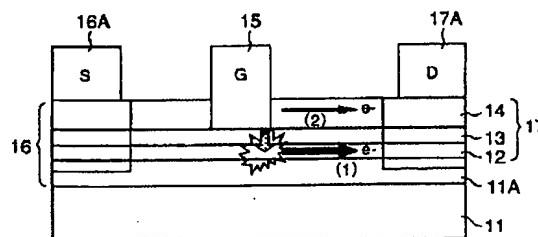
【図1】

従来のMESFETの構成を示す図



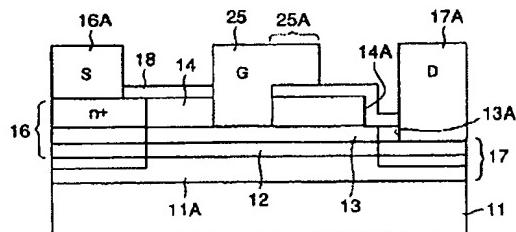
【図2】

図1のMESFETにおいて生じる問題点を説明する図



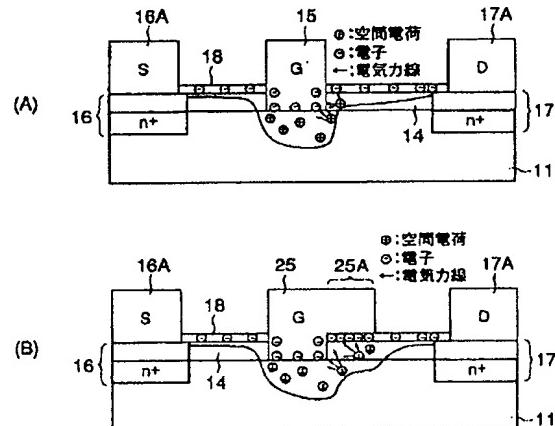
【図3】

本発明の原理を説明する図（その1）



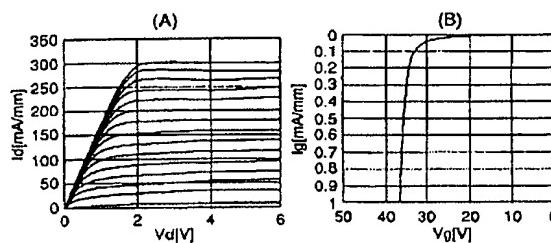
【図4】

(A),(B)は本発明の原理を説明する図（その2）



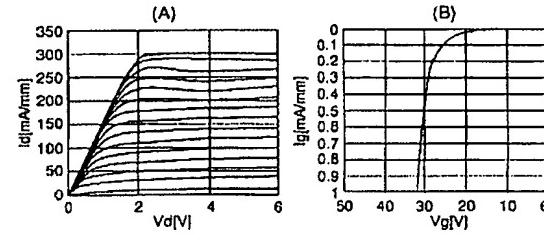
【図10】

(A),(B)は本発明の原理を説明する図（その3）



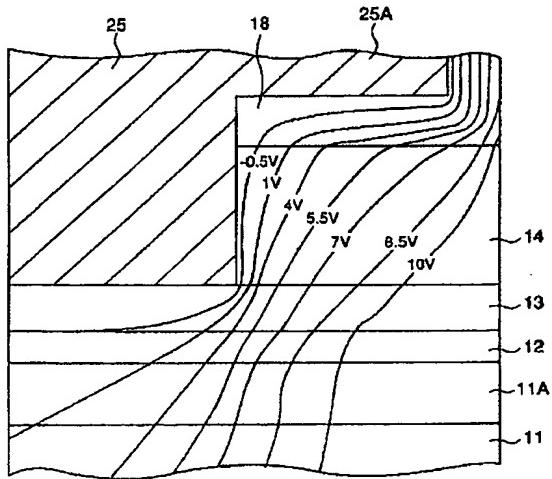
【図11】

(A),(B)は本発明の原理を説明する図（その4）



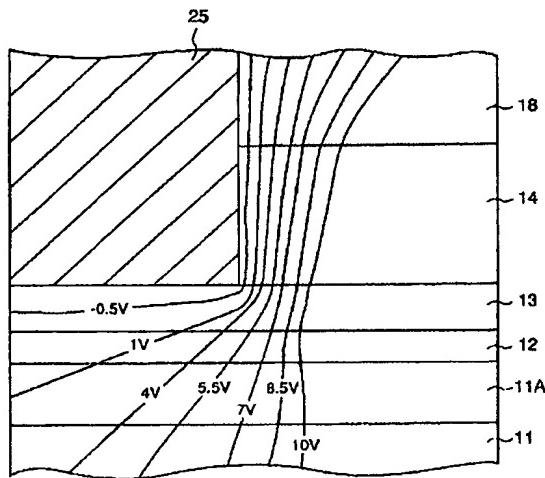
【図5】

本発明の原理を説明する図(その3)



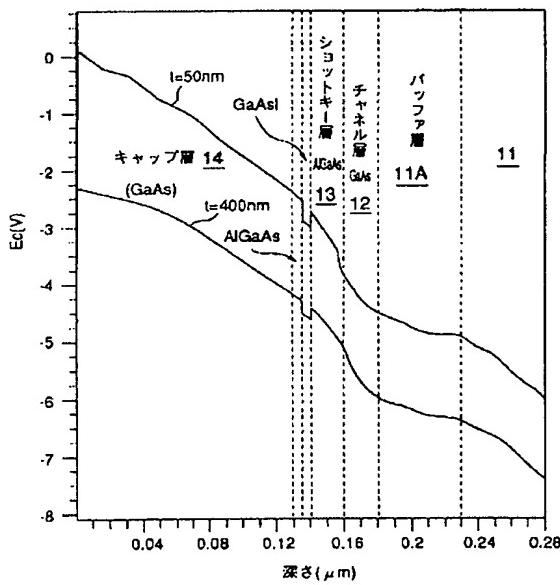
【図6】

本発明の原理を説明する図(その4)



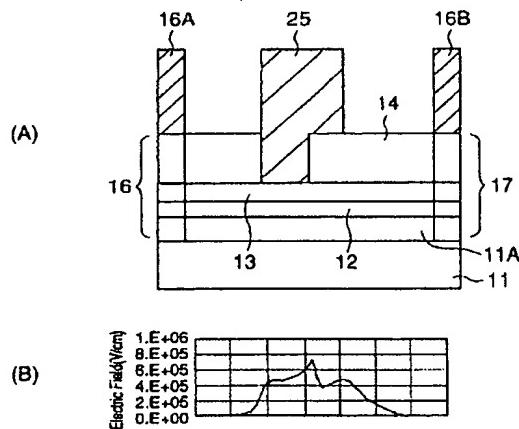
【図7】

本発明の原理を説明する図(その5)

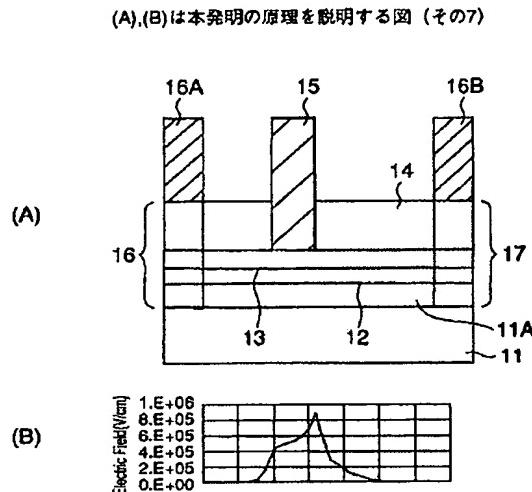


【図8】

(A),(B)は本発明の原理を説明する図(その6)

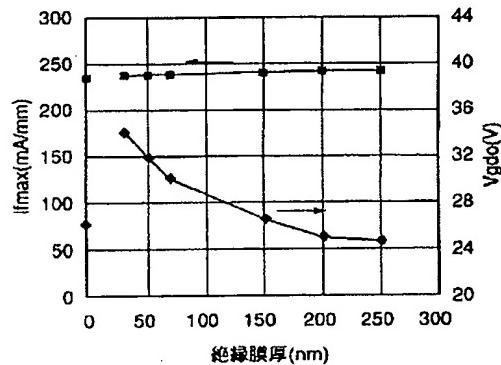


【図9】



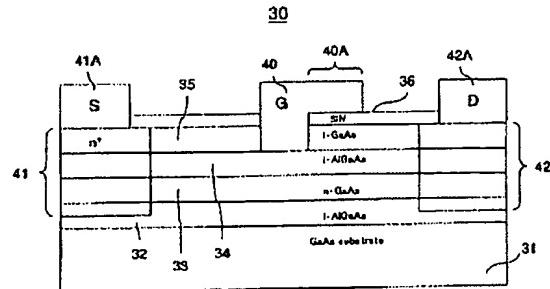
【図13】

本発明の原理を説明する図(その11)



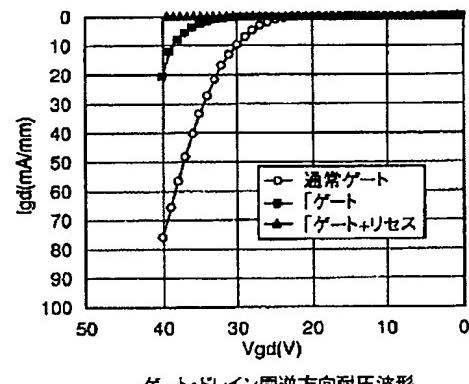
【図15】

本発明の第1実施例によるMESFETの構成を示す図



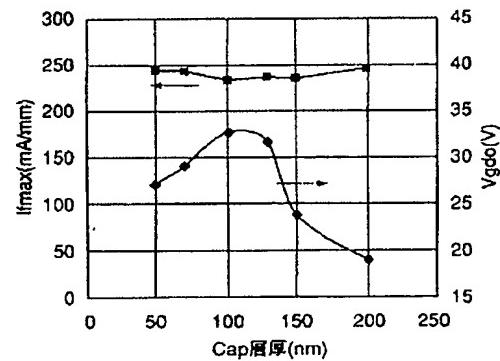
【図12】

(A),(B)は本発明の原理を説明する図(その10)



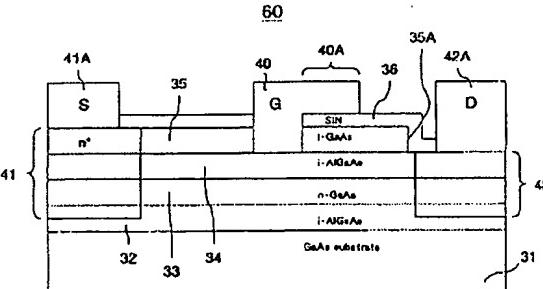
【図14】

本発明の原理を説明する図(その12)



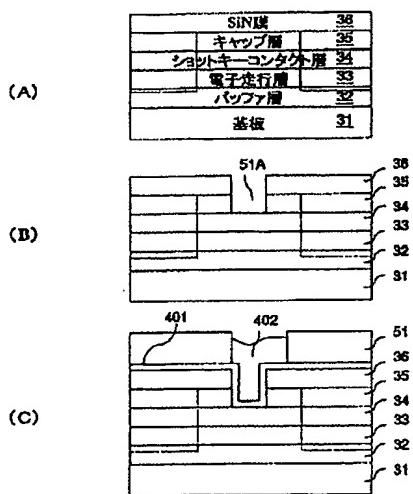
【図18】

本発明の第2実施例によるMESFETの構成を示す図



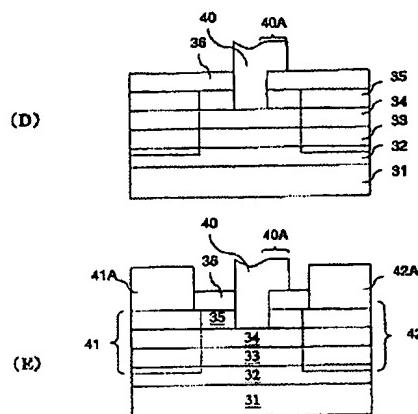
【図16】

(A)～(C)は、図15のMESFETの製造工程を示す図(その1)



【図17】

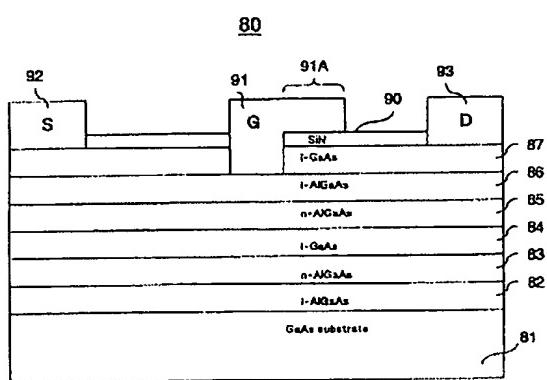
(D)～(E)は、図15のMESFETの製造工程を示す図(その2)



【図20】

【図19】

本発明の第3実施例によるHEMTの構成を示す図



本発明の第4実施例によるHEMTの構成を示す図

